



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Tomohiko SATO, et al.**
Filed : **October 27, 2003**
For : **NOISE REDUCTION VOLTAGE...**
Serial No. : **10/694,526**
Art Unit : **2811**
Confirmation No. : **1900**
Examiner :

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

February 9, 2004

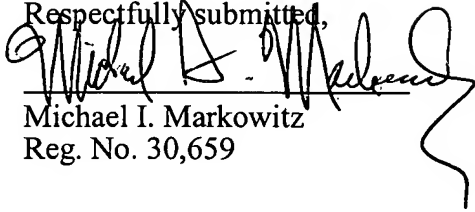
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application no.
2002-311244 filed **October 25, 2002**, from which priority was claimed in a priority
claim filed on October 23, 2003.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

Respectfully submitted,


Michael I. Markowitz
Reg. No. 30,659

CUSTOMER NO.: 026304
DOCKET NO.: NECW 20.699 (100806-00236)
TELEPHONE: (212) 940-8800
FAX: (212) 940-8986

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 5 日
Date of Application:

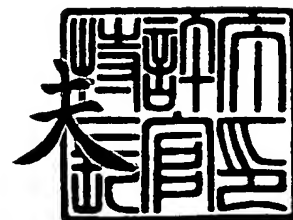
出 願 番 号 特 願 2 0 0 2 - 3 1 1 2 4 4
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 1 2 4 4]

出 願 人 エルピーダメモリ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 22310088

【提出日】 平成14年10月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/407

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
社内

【氏名】 佐藤 智彦

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
社内

【氏名】 宮野 和孝

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0111098

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧回路

【特許請求の範囲】

【請求項 1】 互いにエッジタイミングのずれた複数の発振信号を出力するオシレータ回路と、

前記各発振信号を用いてポンピング容量を充放電することにより昇圧動作を行い、それぞれの出力信号を合成して昇圧電圧を生成する、前記発振信号に対応した複数のポンピング回路と、

イネーブル信号に応じて前記各ポンピング回路の昇圧能力を制御する昇圧能力制御回路と、

前記発振信号の少なくとも 1 つについて、前記発振信号のエッジをカウントし、カウント値が設定値になるまで前記ポンピング回路の昇圧能力を低減しておくように前記昇圧能力制御回路に指示する前記イネーブル信号を生成するイネーブル回路を有する昇圧回路。

【請求項 2】 前記昇圧能力制御回路は、前記各発振信号の前記各ポンピング回路への伝達を前記イネーブル信号に応じて停止し、また開始することにより、前記ポンピング回路の昇圧を停止させ、また開始させる、前記発振信号に対応した複数のラッチ回路を有している、請求項 1 記載の昇圧回路。

【請求項 3】 前記昇圧能力制御回路は、前記ポンピング回路における前記ポンピング容量を充放電する駆動能力を前記イネーブル信号に応じて変化させることにより、前記ポンピング回路の昇圧能力を制御する、請求項 1 記載の昇圧回路。

【請求項 4】 前記昇圧能力制御回路は、前記ポンピング容量を付加的に充放電するインバータを有し、該インバータを構成するトランジスタを前記イネーブル信号に応じて制御することにより前記駆動能力を制御する、請求項 3 記載の昇圧回路。

【請求項 5】 前記イネーブル回路は、前記設定値を前記ポンピング回路毎に設定可能である、請求項 1 ～ 4 のいずれか 1 項に記載の昇圧回路。

【請求項 6】 前記昇圧電圧と設定電圧とを比較し、前記昇圧電圧が前記設

定電圧より低くなったことを検出すると、昇圧動作を開始すべきであると判定する昇圧レベル判定回路をさらに有する、請求項 1～5 のいずれか 1 項に記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体回路装置に関し、特に、半導体回路装置に組み込まれた昇圧回路に関する。

【0002】

【従来の技術】

近年、チップ内部に昇圧回路を有しており、その昇圧回路によって昇圧された電位でワード線やその他の配線を駆動する DRAM がある。この種の昇圧回路では従来から電流ノイズの低減が課題とされてきた。そして、少ない電流ノイズで十分な昇圧を得るために、従来の分圧回路には、オシレータ回路によってタイミングのずれた複数の発振信号を生成し、容量やトランジスタサイズの小さい複数のポンピング回路を各発振信号毎に設けたものがある。

【0003】

図 11 は、従来の昇圧回路の構成を示す回路図である。図 11 を参照すると、昇圧回路 100 は、オシレータ回路 120、オシレータ出力ラッチ回路 130、ポンピング回路 140 および昇圧レベル判定回路 150 を有している。これらの回路は、いずれも基準電位を GND とし、外部電源電圧 VCC により動作する。

【0004】

オシレータ出力ラッチ回路 130 は、 $\phi 1$ 用ラッチ回路 131、 $\phi 2$ 用ラッチ回路 132、 \dots 、 ϕn 用ラッチ回路 13n を有している。ポンピング回路 140 は、 $\phi 1$ 用ポンピング回路 141、 $\phi 2$ 用ポンピング回路 142、 \dots 、 ϕn 用ポンピング回路 14n を有している。

【0005】

オシレータ回路 120 から出力される信号 $\phi 1 \sim \phi n$ は、 $\phi 1$ 用ラッチ回路 131 $\sim \phi n$ 用ラッチ回路 13n にそれぞれ入力されている。 $\phi 1$ 用ラッチ回路 1

31～ ϕ n用ラッチ回路13nからそれぞれ出力される信号 ϕ 1A～ ϕ nAは、 ϕ 1用ポンピング回路141～ ϕ n用ポンピング回路14nにそれぞれ入力されている。 ϕ 1用ポンピング回路141～ ϕ n用ポンピング回路14nの出力が共通接続されており、そこに昇圧電圧VPPが生成されている。昇圧レベル判定回路150から出力される信号VPUPがオシレータ回路120および ϕ 1用ラッチ回路131～ ϕ n用ラッチ回路13nに入力されている。

【0006】

昇圧回路100には、昇圧により得ようとする所望の電圧が設定されている。昇圧レベル判定回路150は、昇圧回路100の出力である昇圧電圧VPPと設定電圧とを比較し、昇圧電圧VPPが設定電圧よりも低ければVPUP信号を“H”にし、昇圧電圧VPPが設定電圧よりも高ければVPUP信号を“L”にする。

【0007】

オシレータ回路120は、信号VPUPが“H”のとき、一定間隔に順次タイミングのずれた発振信号を出力する発振回路であり、一例としてn段（nは奇数）のインバータがチェーン接続された構成である。また、オシレータ回路120は、信号VPUPが“L”のとき、発振信号を出力しない。

【0008】

図12は、オシレータ回路の基本構成例を示す回路図である。図12を参照すると、オシレータ回路120は奇数段のインバータがリング状にチェーン接続された基本構成を有し、各インバータの出力が信号 ϕ 1～ ϕ nとされている。なお、図12には、信号VPUPに関する部分は省略されている。

【0009】

図13は、信号 ϕ 1～ ϕ nの波形を示すタイミングチャートである。図13を参照すると、信号 ϕ 1～ ϕ nは、遷移するタイミングが順次ずれ、さらに位相が順次交互に反転した発振信号である。各信号 ϕ 1～ ϕ nの周期はTである。隣接する2つの信号のエッジ間の時間、例えば信号 ϕ 1の立上りと信号 ϕ 2の立下りの間の時間は $dT = T / (2 \times n)$ であり、これがインバータの波形伝達時間である。

【0010】

オシレータ出力ラッチ回路130を構成する ϕ 1用ラッチ回路131～ ϕ n用ラッチ回路13nは、信号VPUPをイネーブルとするラッチ回路である。 ϕ 1用ラッチ回路131～ ϕ n用ラッチ回路13nは、信号VPUPが“H”のとき、信号 ϕ 1～ ϕ nを信号 ϕ 1A～ ϕ nAとして出力する。このとき信号 ϕ 1A～ ϕ nAは信号 ϕ 1～ ϕ nと同相である。また、 ϕ 1用ラッチ回路131～ ϕ n用ラッチ回路13nは、信号VPUPが“L”のとき、信号 ϕ 1A～ ϕ nAの状態を保持する。

【0011】

ポンピング回路140を構成する ϕ 1用ポンピング回路141～ ϕ n用ポンピング回路14nは、それぞれ信号 ϕ 1A～ ϕ nAを入力とし、各信号 ϕ 1A～ ϕ nAに同期して昇圧動作を行う。 ϕ 1用ポンピング回路141～ ϕ n用ポンピング回路14nの各出力が共通接続されてポンピング回路140の出力をなしており、昇圧電圧VPPが出力される。

【0012】

図14は、 ϕ 1～ ϕ n用ポンピング回路の構成例を示す回路図である。 ϕ 1～ ϕ n用ポンピング回路は全て同一構成であり、図14には代表として ϕ 1用ポンピング回路が示されている。図14を参照すると、 ϕ 1用ポンピング回路は、インバータINV0、INV1、容量C0およびダイオードDI0、DI1で構成されている。

【0013】

インバータINV0には信号 ϕ 1Aが入力している。インバータINV0とインバータINV1は直列に接続されている。インバータINV1の出力端子と容量C0の一方の端子が接点Aで接続されている。容量C0の他方の端子、ダイオードDI0のカソード、およびダイオードDI1のアノードが接点Bで接続されている。ダイオードDI0のアノードには外部電源電圧VCCが供給されている。そして、 ϕ 1～ ϕ n用ポンピング回路141～14nの各ダイオードDI1のカソードが共通接続されて、昇圧電圧VPPを出力している。

【0014】

図15は、図14に示した $\phi 1$ 用ポンピング回路の昇圧動作を示すタイミングチャートである。図15を参照すると、信号 $\phi 1A$ は、外部電源電圧 VCC と基準電圧 GND を交互に出力する発振信号である。接点Aの信号波形は、信号 $\phi 1A$ よりやや遅延した波形である。

【0015】

接点Aが基準電圧 GND レベルのとき、接点Bはダイオード $DI0$ を通して外部電源電圧 VCC にプリチャージされる。接点Aが基準電圧 GND から外部電源電圧 VCC に遷移すると、接点Bは容量 $C0$ のカップリングにより外部電源電圧 VCC 分だけ電位が上昇する。したがって、接点Bの電位は、外部電源電圧 VCC から、その2倍の電圧($2 \times VCC$)に遷移する。そのため、 $\phi 1$ 用ポンピング回路141は外部電源電圧 VCC よりも高い昇圧電圧 VPP を生成することができる。なお、図14に示したダイオード $DI0$ 、 $DI1$ の制御回路に関しては図示していない。

【0016】

一般に、インバータは、 Pch トランジスタ（不図示）と Nch トランジスタ（不図示）とを組み合わせで構成されている。容量 $C0$ は、外部電源電圧 VCC によってインバータ $INV1$ の Pch トランジスタを通して電流が供給されることにより充電される。また、容量 $C0$ は、接点Aから、インバータ $INV1$ の Nch トランジスタを通して基準電圧 GND に電流が流れることにより放電される。

【0017】

同様に、接点Bは、外部電源電圧 VCC によってダイオード $DI0$ を通して接点Bに電流が供給されることにより、外部電源電圧 VCC にプリチャージされる。

【0018】

また、インバータ $INV1$ のゲート容量は、外部電源電圧 VCC によってインバータ $INV0$ から充電電流が流れ、またインバータ $INV1$ から基準電圧 GND へ放電電流が流れることにより充放電される。

【0019】

昇圧回路においては、これら外部電源電圧 V_{CC} からの充電電流、および基準電圧 GND への放電電流が原因となってノイズが発生する。

【0020】

$\phi 1$ 用ポンピング回路 141 が昇圧のために出力可能な電荷は容量 C_0 により決まる。その容量 C_0 を駆動するインバータ $INV1$, $INV0$ を構成するトランジスタやダイオード $DI0$, $DI1$ のサイズは、容量 C_0 を効率的に充放電できる様なサイズにする必要がある。良好な昇圧信号 V_{PP} を得るにはポンピング能力を増加させればよく、大きなポンピング容量とそれを駆動するインバータ等の回路に大きなトランジスタサイズを採用すればよい。しかし、そうすると容量 C_0 の充放電電流ノイズも大きくなってしまう。

【0021】

そこで、少ない電流ノイズで十分な昇圧を得るために、図 11 の分圧回路は、オシレータ回路 120 の出力を複数にし、容量やトランジスタサイズの小さい複数の $\phi 1 \sim \phi n$ 用ポンピング回路 141 \sim 14n を有する構成となっている。

【0022】

従来の昇圧回路の動作について説明する。

【0023】

図 16 は、従来の昇圧回路の動作を説明するためのタイミングチャートである。図 16 には、 V_{PUP} 信号、オシレータ回路 120 から出力される信号 $\phi 1 \sim \phi n$ 、各ラッチ回路 131 \sim 13n から出力される信号 $\phi 1A \sim \phi nA$ の波形が示されている。

【0024】

図 16 を参照すると、時刻 T_0 では V_{PUP} 信号が “L” なので、信号 $\phi 1 \sim \phi n$ および信号 $\phi 1A \sim \phi nA$ は一定値に保たれ、遷移しない。

【0025】

時刻 $T_0 \sim T_s$ の間に、信号 V_{PUP} が “L” から “H” に遷移し、昇圧回路の初期動作が開始される。

【0026】

昇圧回路の初期動作が開始されると、オシレータ回路 120 は周期 T で順次ず

れたタイミングで発信する n 個の信号 $\phi 1 \sim \phi n$ を出力する。図中の $T a$ 期間、 $T b$ 期間の幅は周期 T と等しい。

【0027】

各信号 $\phi 1 \sim \phi n$ は、オシレータ出力ラッチ回路 130 の各ラッチ回路 131 $\sim 13 n$ により信号 $\phi 1 A \sim \phi n A$ としてポンピング回路 140 に供給される。ポンピング回路 140 を構成する $\phi 1 \sim \phi n$ 用ポンピング回路 141 $\sim 14 n$ は、各信号 $\phi 1 A \sim \phi n A$ の遷移に応じて昇圧動作を行う。 $\phi 1 \sim \phi n$ 用ポンピング回路 141 $\sim 14 n$ の出力が合成されて昇圧電圧 $V P P$ を外部に供給する。ここでは信号 $\phi 1 A \sim \phi n A$ が互いに異なるタイミングで基準電位 $G N D$ から外部電源電圧 $V C C$ に遷移するようにされており、電流ノイズのピークが重ならない。

【0028】

図 17 は、従来の昇圧回路の動作および出力信号の波形を示すタイミングチャートである。図 17 では $n = 5$ としてある。また、ここでは、基準電圧 $G N D$ から外部電源電圧 $V C C$ へ遷移するときだけでなく、外部電源電圧 $V C C$ から基準電圧 $G N D$ に遷移するときにも昇圧回路が動作するように、ポンピング回路は図 14 に示したものを 2 つ組み合わせた構成とする。

【0029】

図 17 の下側には、信号 $V P U P$ 、信号 $\phi 1 A \sim \phi 5 A$ の波形が示されている。上側には、 $\phi 1 \sim \phi n$ 用ポンピング回路 141 $\sim 14 5$ から出力される電流 I (実線) と、それらを合成した電流 $I t o t a l$ (点線) とが示されている。

【0030】

図 17 を参照すると、時刻 $T 0$ から時刻 $T 1$ の間に信号 $V P U P$ が “L” から “H” に遷移し、昇圧動作が開始されている。時刻 $T 1$ で信号 $\phi 1 A$ が $G N D$ から $V C C$ へ遷移し、その後、時刻 $T 2 - T 1 = d T = (1 \text{ 周期 } T) / (2 \times 5)$ 毎に、信号 $\phi 2 A \sim \phi 5 A$ が順次遷移をする。それ以降、信号 $\phi 1 A \sim \phi 5 A$ が $d T$ ずつタイミングを順次ずらして $G N D$ と $V C C$ を交互に遷移する。なお、図を見て分かるように、奇数番の信号 $\phi 1 A$ 、 $\phi 3 A$ 、 $\phi 5 A$ と偶数番の信号 $\phi 2 A$ 、 $\phi 4 A$ とでは遷移波形の位相が逆になっている。

【0031】

各信号 $\phi 1A \sim \phi nA$ の遷移に応じて、 $\phi 1 \sim \phi n$ 用ポンピング回路 141 ~ 14n から出力される電流 I (実線) が遷移する。そして、 $\phi 1 \sim \phi n$ 用ポンピング回路 141 ~ 14n の出力を合成した電流 I_{total} (点線) は、時刻 $T1 \sim T4$ の区間で立上り、時刻 $T5$ 以降は、ほぼ一定して飽和消費電流 $I0$ となっている。信号 V_{PUP} が “L” から “H” に遷移するポンピング回路初動時の消費電流は、 $T1 \sim T4$ 区間において電流変化 dI/dT を持ち、これがノイズ源となる。なぜなら、電流変化 dI/dT が大きいと、半導体装置が持つリードフレーム等の配線のインダクタンスによるノイズが大きくなるからである。

【0032】

従来の他の昇圧回路として、例えば特許文献 1 に記載されたものがある。これによれば、図 11 における信号 $\phi 1A \sim \phi nA$ に相当する信号が遅延回路によって作成されている。

【0033】

従来のさらに他の昇圧回路として、スタンバイモードとアクティブモードの 2 つの動作モードを持ったものがある (例えば、特許文献 2)。その種の昇圧回路は、供給すべき電荷量に応じて 2 つの動作モードのうちいずれかを選択する。

【0034】

特許文献 2 に記載された昇圧回路は、複数のポンピング回路を有しており、スタンバイモードでは一部のポンピング回路のみを順次動作させ、アクティブモードでは全てのポンピング回路を連続的に動作させる。

【0035】

【特許文献 1】

特開平 11-25673 号公報

【特許文献 2】

特開平 9-320268 号公報

【0036】

【発明が解決しようとする課題】

図 11 に示した従来の昇圧回路では、オシレータ回路 120 の出力を複数にし

、ポンピング回路 140 を、容量やトランジスタサイズの小さい $\phi 1 \sim \phi n$ 用のポンピング回路 141 ～ 14n からなる構成とすることにより電流ノイズが低減されている。そのため、図 17 に示したように、動作開始から一定時間が過ぎると、電流値がほぼ一定となり電流変化 dI/dT が 0 となるため、電流変化 dI/dT によるノイズは 0 となる。

【0037】

しかし、ポンピング動作開始時、図 17 に示したように従来の昇圧回路における電流の変化 (dI/dT) は急激である。外部電源電圧 VCC や基準電圧 GND の急激な電流変化 (dI/dT) は、自己インダクタンスや相互インダクタンスによるノイズの原因となる。

【0038】

DRAM 等の半導体回路装置には、パッケージのピンとチップを繋ぐリードフレームやボンディングワイヤーが存在している。そして、アドレスやデータピン等のワイヤーに隣接して外部電源電圧 VCC のや基準電圧 GND のワイヤーがある。そのため、そのノイズによってアドレスやデータ等の入力特性が悪化してしまう。

【0039】

また、特許文献 1 に記載された従来の昇圧回路には遅延回路が用いられているが、遅延回路の遅延時間にはプロセス変動の影響によるバラツキがあるため、特許文献 1 に記載された昇圧回路の構成では、オシレータによる発振信号の 1 周期の中で各ポンピング回路の消費電流に偏りが生じる可能性がある。何故なら、特許文献 1 記載のオシレータ回路の出力は 1 箇所から取り出した信号であり、この信号に遅延回路を追加して各ポンピング回路に供給している。遅延回路を通過した信号は、上記のプロセス変動による影響を受けやすく、オシレータ 1 周期分の時間を考えたときに、ポンピング動作をする時間に偏りが生じやすく、正確な制御が困難となる。そのため、電流変化 dI/dT を所望の傾き範囲内に制御できないことがありノイズの原因となる。特に、動作開始時には、電流変化 dI/dT が顕著に大きくなる可能性がある。

【0040】

また、特許文献 2 に記載された従来の昇圧回路は、昇圧動作についてスタンバイモードとアクティブモードの 2 つの動作モードを持っている。そして、この昇圧回路は、各動作モードにおける V P P からの消費電流の違いに対して、ポンピング回路の台数を変化させることで電流供給能力を制御している。しかしながら、昇圧動作開始時に着目すると、遅延回路 (D E L A Y E L E M E N T) により、順次ずれたタイミングで各ポンピング回路 (P U M P I N G M E A N S) が昇圧を行う点では図 1 の昇圧回路と同じである。したがって、特許文献 2 に記載された昇圧回路の動作開始時の消費電流の電流変化 $d I / d T$ は、図 17 に示した電流 $I_{t o t a l}$ の電流変化 $d I / d T$ と同様に急峻である。

【0041】

本発明の目的は、動作開始時の急激な電流変化を抑制してノイズを低減した昇圧回路を提供することである。

【0042】

【課題を解決するための手段】

上記目的を達成するために、本発明の昇圧回路は、エッジタイミングの異なる複数の発振信号を出力するオシレータ回路と、各発振信号を用いてポンピング容量を充放電することにより昇圧動作を行い、それぞれの出力信号を合成して昇圧電圧を生成する、発振信号に対応した複数のポンピング回路と、イネーブル信号に応じて各ポンピング回路の昇圧能力を制御する昇圧能力制御回路と、発振信号の少なくとも 1 つについて、発振信号のエッジをカウントし、カウント値が設定値になるまでポンピング回路の昇圧能力を低減しておくように昇圧能力制御回路に指示するイネーブル信号を生成するイネーブル回路を有している。

【0043】

したがって、本発明によれば、複数の発振信号により昇圧動作を行う複数のポンピング回路のうち少なくとも 1 つが、イネーブル回路および昇圧能力制御回路によって昇圧動作開始後の数周期の間、昇圧能力を低減されるので、昇圧動作のための電流の変化が低減される。

【0044】

なお、昇圧能力制御回路は、各発振信号の各ポンピング回路への伝達をイネー

ブル信号に応じて停止し、また開始することにより、ポンピング回路の昇圧を停止させ、また開始させる、発振信号に対応した複数のラッチ回路を有していてもよい。

【0045】

あるいは、昇圧能力制御回路は、ポンピング回路におけるポンピング容量を充放電する駆動能力をイネーブル信号に応じて変化させることにより、ポンピング回路の昇圧能力を制御することとしてもよい。

【0046】

その場合さらに、昇圧能力制御回路は、ポンピング容量を付加的に充放電するインバータを有し、そのインバータを構成するトランジスタをイネーブル信号に応じて制御することにより駆動能力を制御することとしてもよい。

【0047】

また、イネーブル回路は、設定値をポンピング回路毎に設定可能であってもよい。

【0048】

また、昇圧電圧と設定電圧とを比較し、昇圧電圧が設定電圧より低くなったことを検出すると、昇圧動作を開始すべきであると判定する昇圧レベル判定回路をさらに有してもよい。

【0049】

【発明の実施の形態】

本発明の一実施形態について図面を参照して詳細に説明する。

【0050】

図1は、本発明の一実施形態の昇圧回路の構成を示す回路図である。図1を参照すると、昇圧回路10は、オシレータ回路20、オシレータ出力ラッチ回路30、ポンピング回路40、昇圧レベル判定回路50およびイネーブル回路60を有している。これらの回路は、いずれも基準電位GNDおよび外部電源電圧VCCにて動作する。

【0051】

オシレータ出力ラッチ回路30は、 ϕ 1用ラッチ回路31、 ϕ 2用ラッチ回路

32、・・・、 ϕn 用ラッチ回路3nを有している。なお、nは奇数である。ポンピング回路40は、 $\phi 1$ 用ポンピング回路41、 $\phi 2$ 用ポンピング回路42、・・・、 ϕn 用ポンピング回路4nを有している。

【0052】

イネーブル回路60は、エッジカウンタ70およびANDゲート62～6(n-1)を有している。

【0053】

オシレータ回路20から出力される信号 $\phi 1 \sim \phi n$ は、 $\phi 1$ 用ラッチ回路31～ ϕn 用ラッチ回路3nにそれぞれ入力されている。また、信号 $\phi 2 \sim \phi (n-1)$ は、エッジカウンタ70にも入力されている。 $\phi 1$ 用ラッチ回路31～ ϕn 用ラッチ回路3nからそれぞれ出力される信号 $\phi 1A \sim \phi nA$ は、 $\phi 1$ 用ポンピング回路41～ ϕn 用ポンピング回路4nにそれぞれ入力されてる。 $\phi 1$ 用ポンピング回路41～ ϕn 用ポンピング回路4nの出力が共通接続されており、そこに昇圧電圧VPPが生成されている。昇圧レベル判定回路50から出力される信号VPUPがオシレータ回路20および $\phi 1$ 用ラッチ回路131、 ϕn 用ラッチ回路13n、エッジカウンタ70およびANDゲート62～6(n-1)に入力されている。

【0054】

昇圧回路10では、昇圧により得ようとする所望の電圧が設定されている。

【0055】

昇圧レベル判定回路10は、昇圧電圧VPPと設定電圧とを比較し、昇圧電圧VPPが設定電圧よりも低ければVPUP信号を“H”にし、昇圧電圧VPPが設定電圧よりも高ければVPUP信号を“L”にする。

【0056】

オシレータ回路20は、信号VPUPが“H”のとき、一定間隔に順次タイミングのずれた発振信号を出力する発振回路であり、一例として奇数段のインバータがチェーン接続された構成である。また、オシレータ回路20は、信号VPUPが“L”のとき、発振信号を出力しない。

【0057】

図2は、オシレータ回路の基本構成例を示す回路図である。図2を参照すると、オシレータ回路20は、奇数段のインバータがリング状にチェーン接続された基本構成を有し、各インバータの出力が信号 $\phi 1 \sim \phi n$ としてオシレータ出力ラッチ回路30およびイネーブル回路60に出力されている。なお、インバータの段数は奇数であればよく、例えば $n = 3, 5, 7$ などから自由に選択可能である。また、図2では、信号V P U Pに関する部分は省略されている。

【0058】

図3は、信号 $\phi 1 \sim \phi n$ の波形を示すタイミングチャートである。図3を参照すると、信号 $\phi 1 \sim \phi n$ は、遷移するタイミングが順次ずれ、さらに位相が順次交互に反転した発振信号である。各信号 $\phi 1 \sim \phi n$ の周期は T である。隣接する2つの信号のエッジ間の時間、例えば信号 $\phi 1$ の立上りと信号 $\phi 2$ の立下りの間の時間は $d T = T / (2 \times n)$ であり、これがインバータの1段当たりの波形伝達時間である。

【0059】

オシレータ出力ラッチ回路30を構成する $\phi 1$ 用ラッチ回路31および ϕn 用ラッチ回路3nは、信号V P U Pをイネーブルとするラッチ回路である。 $\phi 2$ 用ラッチ回路32 $\sim \phi (n-1)$ 用ラッチ回路3(n-1)は、信号 $\phi 2$ O S E N $\sim \phi (n-1)$ O S E Nをイネーブルとするラッチ回路である。 $\phi 1$ 用ラッチ回路31 $\sim \phi n$ 用ラッチ回路3nは、イネーブルが“H”のとき、信号 $\phi 1 \sim \phi n$ をそれぞれ信号 $\phi 1 A \sim \phi n A$ として出力する。このとき信号 $\phi 1 A \sim \phi n A$ は信号 $\phi 1 \sim \phi n$ とそれぞれ同相である。また、 $\phi 1$ 用ラッチ回路31 $\sim \phi n$ 用ラッチ回路3nは、イネーブルが“L”のとき状態を保持する。 $\phi 1 \sim \phi n$ 用ラッチ回路31 $\sim 3n$ におけるラッチ段数は任意であり、奇数段でも偶数段でもよい。

【0060】

オシレータ出力ラッチ回路30は、昇圧開始の過渡状態において、ポンピング回路40への信号 $\phi 2 A \sim \phi (n-1) A$ の供給を数周期分遅らせることにより、ポンピング回路40の昇圧能力を低減制御している。

【0061】

ポンピング回路40を構成する $\phi 1$ 用ポンピング回路41～ ϕn 用ポンピング回路4nは、それぞれ信号 $\phi 1A \sim \phi nA$ を入力とし、各信号 $\phi 1A \sim \phi nA$ に同期して昇圧動作を行う。 $\phi 1$ 用ポンピング回路41～ ϕn 用ポンピング回路4nの各出力が共通接続されてポンピング回路40の出力をなしており、昇圧電圧VPPが出力される。

【0062】

図4は、 $\phi 1 \sim \phi n$ 用ポンピング回路の構成例を示す回路図である。 $\phi 1 \sim \phi n$ 用ポンピング回路は全て同一構成であり、図4には代表として $\phi 1$ 用ポンピング回路が示されている。図4を参照すると、 $\phi 1$ 用ポンピング回路は、インバータINV0、INV1、容量C0およびダイオードDI0、DI1で構成されている。容量C0が、ポンピングにより昇圧動作を行うためのポンピング容量である。

【0063】

インバータINV0には信号 $\phi 1A$ が入力している。インバータINV0とインバータINV1は直列に接続されている。インバータINV1の出力端子と容量C0の一方の端子が接点Aで接続されている。容量C0の他方の端子、ダイオードDI0のカソード、およびダイオードDI1のアノードが接点Bで接続されている。ダイオードDI0のアノードには外部電源電圧VCCが供給されている。そして、 $\phi 1 \sim \phi n$ 用ポンピング回路41～4nの各ダイオードDI1のカソードが共通接続されて、昇圧電圧VPPを出力している。

【0064】

図5は、図4に示した $\phi 1$ 用ポンピング回路の昇圧動作を示すタイミングチャートである。図5を参照すると、信号 $\phi 1A$ は、外部電源電圧VCCと基準電圧GNDを交互に出力する発振信号である。接点Aの信号波形は、信号 $\phi 1A$ よりやや遅延した波形である。

【0065】

接点Aが基準電圧GNDレベルのとき、接点BはダイオードDI0を通して外部電源電圧VCCにプリチャージされる。接点Aが基準電圧GNDから外部電源電圧VCCに遷移すると、接点Bは容量C0のカップリングによりGND～VCC

Cの振幅分だけ上昇する。したがって、接点Bの電位は、外部電源電圧VCCとその2倍の電圧($2 \times VCC$)とに交互に遷移する。そのため、 $\phi 1$ 用ポンピング回路41は外部電源電圧VCCよりも高いレベルの昇圧電圧VPPを生成することができる。

【0066】

図6は、 $\phi 1 \sim \phi n$ 用ポンピング回路の他の構成例を示す回路図である。 $\phi 1 \sim \phi n$ 用ポンピング回路は全て同一構成であり、図6には代表として $\phi 1$ 用ポンピング回路が示されている。図6を参照すると、 $\phi 1$ 用ポンピング回路は、図4に示されたポンピング回路と、それとは逆のエッジで動作するポンピング回路とが並列に接続された構成である。図6のポンピング回路によれば、信号 $\phi 1A$ の立上りおよび立下りの両エッジで昇圧動作が行われる。

【0067】

エッジカウンタ70は、信号 $\phi 2 \sim \phi (n-1)$ を入力とし、各信号 $\phi 2 \sim \phi (n-1)$ が発振を開始すると、その発振回数をカウントし、カウント値が所定の設定値になると、イネーブル信号を出力する。所定の設定値は、各信号 $\phi 2 \sim \phi (n-1)$ 毎に設定可能である。各イネーブル信号は、ANDゲート62~6(n-1)によって、信号VPUPとAND論理がとられ、信号 $\phi 2 OSEN \sim \phi (n-1) OSEN$ として $\phi 2 \sim \phi (n-1)$ 用ラッチ回路32~3(n-1)に入力される。

【0068】

つまり、 $\phi 2 \sim \phi (n-1)$ 用ラッチ回路32~3(n-1)には、信号VPUPの立上りから周期の所定の設定値倍だけ遅れて立上るイネーブル信号が入力される。それにより、信号 $\phi 2A \sim \phi (n-1)A$ が発振を開始するのは、信号VPUPよりも周期Tの任意倍だけ遅れた時刻となる。そして、 $\phi 2 \sim \phi (n-1)$ 用ポンピング回路42~4(n-1)が昇圧動作を開始するのも周期Tの任意倍だけ遅れる。

【0069】

以上の構成から、任意の信号に対応したポンピング回路の昇圧動作の開始を任意周期だけ遅らせることにより、昇圧回路10の動作開始時の電流変化を抑制し

、ノイズを低減することができるので、例えば昇圧回路 10 を用いた DRAM の信号線の入力特性を改善することができる。

【0070】

また、本実施形態の昇圧回路 10 では、各ポンピング回路の昇圧動作の開始タイミングは、発振信号のエッジをカウントすることにより作成されているので、プロセス変動の影響を受けにくく、バラツキが発生しにくい。

【0071】

また、本実施形態の昇圧回路 10 は、ポンピング回路の昇圧動作の開始を発振信号のエッジをカウントすることにより求めた周期数分だけ遅らせる構成なので、いかなるクロック速度で動作させた場合でも電流変化を抑制し、良好な効果を得ることができる。これに対して、ポンピング回路の昇圧動作の開始を、例えば遅延回路で調整するとすると、用いられるクロック速度によって良好な結果が得られない可能性がある。

【0072】

なお、ここでは信号 $\phi 2 \sim \phi (n-1)$ に対応した昇圧動作の開始を遅らせる例を示したが、どの信号に対応した昇圧動作を遅らせるか、またどれだけ遅らせるかは任意である。

【0073】

本実施形態の昇圧回路 10 の動作について説明する。

【0074】

図 7 は、本実施形態の昇圧回路の動作を示すタイミングチャートである。図 7 には、信号 VPUP、 $\phi 1 \sim \phi n$ 、 $\phi 1A \sim \phi nA$ 、 $\phi 2 OSEN \sim \phi (n-1) OSEN$ の波形が示されている。

【0075】

昇圧レベル判定回路 50 は昇圧電圧 VPP と所望の設定電圧とを常時比較しており、昇圧電圧 VPP が設定電圧より高いとき信号 VPUP を “L” (GND レベル) にする。図 7 において、時刻 T0 の時点では信号 VPUP が “L” なので、オシレータ回路 20 が発振せず、そのため昇圧回路 10 は動作しない。

【0076】

昇圧電圧 V_{PP} が設定電圧より低くなると、昇圧レベル判定回路 50 は信号 V_{PUP} を “H” にする。図 7 において、時刻 T_0 から時刻 T_s の間に信号 V_{PUP} が “L” から “H” になっているので、オシレータ回路 20 は発振を開始し、昇圧回路 10 が昇圧動作を開始する。

【0077】

オシレータ回路 20 が発振を開始するので、信号 $\phi_1 \sim \phi_n$ に図 7 に示すような発振波形が現れる。

【0078】

ϕ_1 用ラッチ回路 31 は、信号 V_{PUP} をイネーブルとしているので、信号 V_{PUP} が “H” となると、信号 ϕ_1 の発振波形をそのまま信号 $\phi_1 A$ として ϕ_1 用ポンピング回路 41 に供給する。同様に、 ϕ_n 用ラッチ回路 3n も、信号 V_{PUP} をイネーブルとしているので、信号 V_{PUP} が “H” となると、信号 ϕ_n の発振波形をそのまま信号 $\phi_n A$ として ϕ_n 用ポンピング回路 4n に供給する。

【0079】

それに対して、 ϕ_2 用～ $\phi(n-1)$ 用ラッチ回路 32～3(n-1) は、信号 $\phi_2 OSEN \sim \phi(n-1) OSEN$ をそれぞれイネーブルとしている。信号 $\phi_2 OSEN \sim \phi(n-1) OSEN$ は、信号 V_{PUP} を周期 T の任意倍だけ遅延させた信号なので、信号 V_{PUP} が “H” になっても直ぐに “H” にならない。図 7 の T_a 期間には、信号 $\phi_2 OSEN \sim \phi(n-1) OSEN$ は未だ “L” である。

【0080】

$\phi_2 \sim \phi(n-1)$ 用ラッチ回路 32～3(n-1) は、信号 $\phi_2 OSEN \sim \phi(n-1) OSEN$ が “L” のとき、信号 $\phi_2 A \sim \phi(n-1) A$ の状態を保持する。そのため、信号 $\phi_2 \sim \phi(n-1)$ に発振波形が現れても、信号 $\phi_2 A \sim \phi(n-1) A$ は直ぐには発振しない。

【0081】

エッジカウンタ 70 が各信号 $\phi_2 \sim \phi(n-1)$ のエッジをカウントし、各カウント値がそれぞれの設定値になると、信号 $\phi_2 OSEN \sim$ 信号 $\phi(n-1) OSEN$ が “L” から “H” になる。この設定値は、信号 V_{PUP} を遅延させすべ

き周期数に予め設定されている。図7において、Tb期間には信号 $\phi 2$ OSEN $\sim \phi (n-1)$ OSENが“L”から“H”に遷移している。

【0082】

信号 $\phi 2$ OSEN \sim 信号 $\phi (n-1)$ OSENが“L”から“H”になると、 $\phi 2$ 用 $\sim \phi (n-1)$ 用ラッチ回路31 \sim 3(n-1)は信号 $\phi 2 \sim \phi (n-1)$ をそのまま信号 $\phi 2 A \sim \phi (n-1) A$ としてポンピング回路42 \sim 4(n-1)にそれぞれ供給する。

【0083】

図8は、本実施形態の昇圧回路における各信号の波形を示すタイミングチャートである。図8では、一例として、 $n=5$ であり、信号 $\phi 2$ 、 $\phi 4$ のみに対してエッジカウンタ70が作用して信号 $\phi 2 A$ 、 $\phi 4 A$ が1周期だけ遅れて発振し始めるという例が示されている。また、ここでは、信号 $\phi 1 A \sim \phi 5 A$ が基準電圧GNDから外部電源電圧VCCへ遷移するときだけでなく、外部電源電圧VCCから基準電圧GNDに遷移するときにも昇圧回路が動作するように、図6に示したポンピング回路が使用されているものとする。

【0084】

図8の下側には、信号VPUP、 $\phi 1 A \sim \phi 5 A$ の波形が示されている。上側には、 $\phi 1 \sim \phi 5$ 用ポンピング回路41 \sim 45から出力される電流I（実線）と、それらを合成した電流I total（点線）とが示されている。

【0085】

図8を参照すると、時刻T0 \sim 時刻T1の間に信号VPUPが“L”から“H”に遷移し、昇圧動作が始まっている。信号 $\phi 1 A$ 、 $\phi 3 A$ 、 $\phi 5 A$ はそれぞれ時刻T1、T3、T5に遷移し（立上り）、発振を開始している。それに対して、信号 $\phi 2 A$ 、 $\phi 4 A$ は時刻T2、T4に遷移（立下がり）せず、エッジカウンタ70によって1周期分遅延されて時刻T12、T14から発振を開始している。

【0086】

各信号 $\phi 1 A \sim \phi 5 A$ の遷移に応じて、 $\phi 1 \sim \phi 5$ 用のポンピング回路41 \sim 45から出力される電流Iが図中実線にて示したように遷移する。そして、それ

らを合成した電流 I_{total} (図中点線) は時刻 $T1 \sim T13$ の区間で緩やかに立上り、時刻 $T14$ に飽和消費電流 $I0$ に達し、その後はほぼ一定に保たれる。

【0087】

図8の飽和消費電流 $I0$ は、図17に示した従来例の飽和消費電流 $I0$ と同じで値である。図17の従来例では、電流 I_{total} は時刻 $T1 \sim T5$ の間に急峻に飽和消費電流 $I0$ に達したの対して、図8に示した本実施形態では、時刻 $T1 \sim T13$ の間に緩やかに飽和消費電流 $I0$ に達する。すなわち、本実施形態では昇圧動作開始直後の電流変化 dI/dT が小さく抑えられていることが分かる。

【0088】

以上説明したように、本実施形態の昇圧回路10によれば、動作開始時、オシレータ回路20から出力される複数の発振信号のうち任意のものが、各発振信号のエッジをカウントするエッジカウンタ70からイネーブルを与えられた各ラッチ回路31～3nにより任意の周期数分だけ遅延されるので、各ポンピング回路41～4nの昇圧動作の開始が互いにずれて電流変化が緩和されてノイズが低減され、例えば昇圧回路10を用いたDRAMの信号線の入力特性に悪影響を及ぼさない。

【0089】

なお、本実施形態の昇圧回路10は、発振信号のエッジをカウントするエッジカウンタ70により、発振信号の周期に同期して各ポンピング回路41～4nの昇圧動作の開始を制御している。これに対して、例えば信号VPU Pを複数段のインバータで構成された遅延回路で遅延させることにより各ポンピング回路の入力信号を生成することも考えられる。また、信号VPU Pを遅延回路で遅延させることにより各ラッチ回路のイネーブルを生成することも考えられる。

【0090】

しかし、トランジスタ形成工程でインバータの能力にバラツキが生じる可能性があり、インバータの段数で所定の遅延量を正確に得ることは困難である。意図した遅延量が得られなければ、ある時刻に電流変化 dI/dT が大きくなりノイ

ズを発生させてしまう可能性がある。したがって、各ポンピング回路の昇圧動作の開始タイミングを正確に制御可能な本実施形態の昇圧回路 1 0 は、遅延回路を用いた昇圧回路より優れた利点を有していると言える。

【 0 0 9 1 】

本発明の他の実施形態について図面を参照して説明する。

【 0 0 9 2 】

図 9 は、本発明の他の実施形態の昇圧回路の構成を示す回路図である。図 9 に
は、説明の簡単化のために、オシレータ回路 2 0 から出力される信号のうち信号
 ϕ 2 に関する部分のみが示されている。

【 0 0 9 3 】

図 9 を参照すると、昇圧回路は、オシレータ回路 2 0、エッジカウンタ 7 0、
 ϕ 2 用ポンピング回路 4 2、インバータ I N V 3、I N V 2 およびゲート C G A
T E を有している。また、図示されていないが、図 9 の昇圧回路は、図 1 の昇圧
回路 1 0 と同様に信号 V P U P の供給する昇圧レベル判定回路を有している。図
9 の昇圧回路においては、ポンピング回路 4 2 の昇圧能力を制御する制御回路が
インバータ I N V 2、I N V 3 およびゲート C G A T E によって構成されている
。

【 0 0 9 4 】

なお、信号 ϕ 2 に関する部分しか図示されていないが、図 9 の昇圧回路は、信
号 ϕ 1 ~ ϕ n に関する回路を有している。

【 0 0 9 5 】

オシレータ回路 2 0、昇圧レベル判定回路、エッジカウンタ 7 0 および ϕ 1 ~
 ϕ n 用ポンピング回路は図 1 のものと同じである。

【 0 0 9 6 】

インバータ I N V 3 は N O T ゲートであり、エッジカウンタ 7 0 から出力され
る信号 ϕ 2 O S E N を反転する N O T ゲートである。

【 0 0 9 7 】

ゲート C G A T E は、信号 ϕ 2 A および信号 ϕ 2 O S E N を入力とする 2 入力
N A N D ゲートと、信号 ϕ 2 A およびインバータ I N V 3 の出力を入力とする 2

入力NORゲートからなる。

【0098】

2入力NANDゲートの出力は接点Cに接続されている。2入力NORゲートの出力は接点Dに接続されている。

【0099】

インバータINV2は、外部電源電圧VCCと基準電圧GNDの間に直列接続されたPチャネルトランジスタM1とNチャネルトランジスタM2からなる。PチャネルトランジスタM1のゲートは接点Cに接続され、Nチャネルトランジスタのゲートは接点Dに接続されている。PチャネルトランジスタとNチャネルトランジスタとの接続点は $\phi 2$ 用ポンピング回路42の接点Aに接続されている。

【0100】

図10は、図9の昇圧回路の動作を示すタイミングチャートである。図10には、信号VPUPが“L”から“H”に遷移した直後の信号 $\phi 2A$ 、 $\phi 2OSEN$ および接点A、Bの波形が示されている。信号VPUPが“L”から“H”に遷移し、オシレータ回路20から出力された信号 $\phi 2$ の最初の1周期がTa期間であり、次の周期がTb期間である。

【0101】

Ta期間では、信号 $\phi 2OSEN$ が“L”なので、信号 $\phi 2A$ が発振しても、ゲートCGATEの出力である接点Cは“H”レベル、接点Dは“L”レベルである。ゲートINV2を構成するPチャネルトランジスタM1およびNチャネルトランジスタM2のゲートは接点Cおよび接点Dにそれぞれ接続されているので、信号 $\phi 2OSEN$ が“L”の間はインバータINV2は動作しない。

【0102】

Tb期間では、信号 $\phi 2OSEN$ が“L”から“H”に遷移するので、ゲートCGATEの出力（接点C、D）は信号 $\phi 2A$ の発振動作をインバータINV2に伝達する。

【0103】

信号 $\phi 2A$ が“L”のとき、インバータINV1は接点Aおよび容量C0を“L”に放電する。また、ゲートCGATEの接点Cは“H”レベルであり、接点

Dは“H”レベルになるので、NチャネルトランジスタM2がオンして、インバータINV2も接点Aおよび容量C0を“L”に放電しようとする。

【0104】

逆に、信号 $\phi 2A$ が“H”のとき、インバータINV1は接点Aおよび容量C0を“H”に充電しようとし、インバータINV2もそれらを“H”に充電しようとする。つまり、信号 $\phi 2OSEN$ が“H”のとき、インバータINV1、INV2の両方が接点Aおよび容量C0の充放電を行うことになる。

【0105】

したがって、Tb期間では、接点Aおよび容量C0の充放電をインバータINV1、INV2の両方が行うことになる。そのため、信号 $\phi 2A$ が“L”から“H”に遷移するとき、および“H”から“L”に遷移するとき、接点A、Bの波形はインバータINV1、INV2の電流能力を予め調整しておくことにより、鈍らすことなく動作させることができる。一方、Ta期間では、接点Aおよび容量C0の充放電はインバータINV1のみが行うため、Tb期間と比べて相対的に接点A、Bの波形は鈍る。インバータINV1のみで動作するTa期間とインバータINV1およびINV2両方が動作するTb期間では、昇圧電圧VPPへ供給可能な電荷量はTa期間よりTb期間の方が大きくなるが、一方で接点Aおよび容量C0の充放電電流もTa期間よりTb期間の方が大きくなり、ノイズ源となる電流変化 dI/dT もTa期間よりTb期間の方が大きくなる。

【0106】

したがって、本実施形態の昇圧回路によれば、インバータINV2のトランジスタサイズを調整し、信号VPUPが“L”から“H”に遷移した後に何周期分の時間だけ信号 $\phi 2OSEN$ ($\phi 1 \sim \phi nOSEN$)を“L”に保持するかを調整することにより、動作開始時における電流変化を抑制し、ノイズを低減することができる。

【0107】

【発明の効果】

本発明によれば、複数の発振信号により昇圧動作を行う複数のポンピング回路のうち少なくとも1つが、イネーブル回路および昇圧能力制御回路によって昇圧

動作開始後の数周期の間、昇圧能力を低減されるので、昇圧動作のための電流の変化が低減され、電流の変化に伴って生じるノイズが抑制される。

【図面の簡単な説明】

【図 1】

本発明の一実施形態の昇圧回路の構成を示す回路図である。

【図 2】

オシレータ回路の基本構成例を示す回路図である。

【図 3】

オシレータ回路から出力される発振信号の波形を示すタイミングチャートである。

【図 4】

各ポンピング回路の構成例を示す回路図である。

【図 5】

図 4 に示したポンピング回路の昇圧動作を示すタイミングチャートである。

【図 6】

各ポンピング回路の他の構成例を示す回路図である。

【図 7】

本実施形態の昇圧回路の動作を示すタイミングチャートである。

【図 8】

本実施形態の昇圧回路における各信号の波形を示すタイミングチャートである。

【図 9】

本発明の他の実施形態の昇圧回路の構成を示す回路図である。

【図 1 0】

図 9 の昇圧回路の動作を示すタイミングチャートである。

【図 1 1】

従来の昇圧回路の構成を示す回路図である。

【図 1 2】

図 1 1 におけるオシレータ回路の基本構成例を示す回路図である。

【図 13】

図 11 のオシレータ回路による発振信号の波形を示すタイミングチャートである。

【図 14】

図 11 の各ポンピング回路の構成例を示す回路図である。

【図 15】

図 14 に示した各ポンピング回路の昇圧動作を示すタイミングチャートである。

【図 16】

従来の昇圧回路の動作を説明するためのタイミングチャートである。

【図 17】

従来の昇圧回路の動作および出力信号の波形を示すタイミングチャートである。

【符号の説明】

- 10 昇圧回路
- 20 オシレータ回路
- 30 オシレータ出力ラッチ回路
- 31～3n $\phi 1 \sim \phi n$ 用ラッチ回路
- 40 ポンピング回路
- 41～4n $\phi 1 \sim \phi n$ 用ポンピング回路
- 50 昇圧レベル判定回路
- 60 イネーブル回路
- 62～6(n-1) ANDゲート
- 70 エッジカウンタ
- $\phi 1 \sim \phi n$ 、 $\phi 1A \sim \phi nA$ 、 $\phi 2 OSEN \sim \phi (n-1) OSEN$ 、VPU
P 信号
- A、B、C、D 接点
- CGATE ゲート
- C0 容量

D I 0 ~ D I 3 ダイオード

I N V 0 ~ I N V 3 インバータ

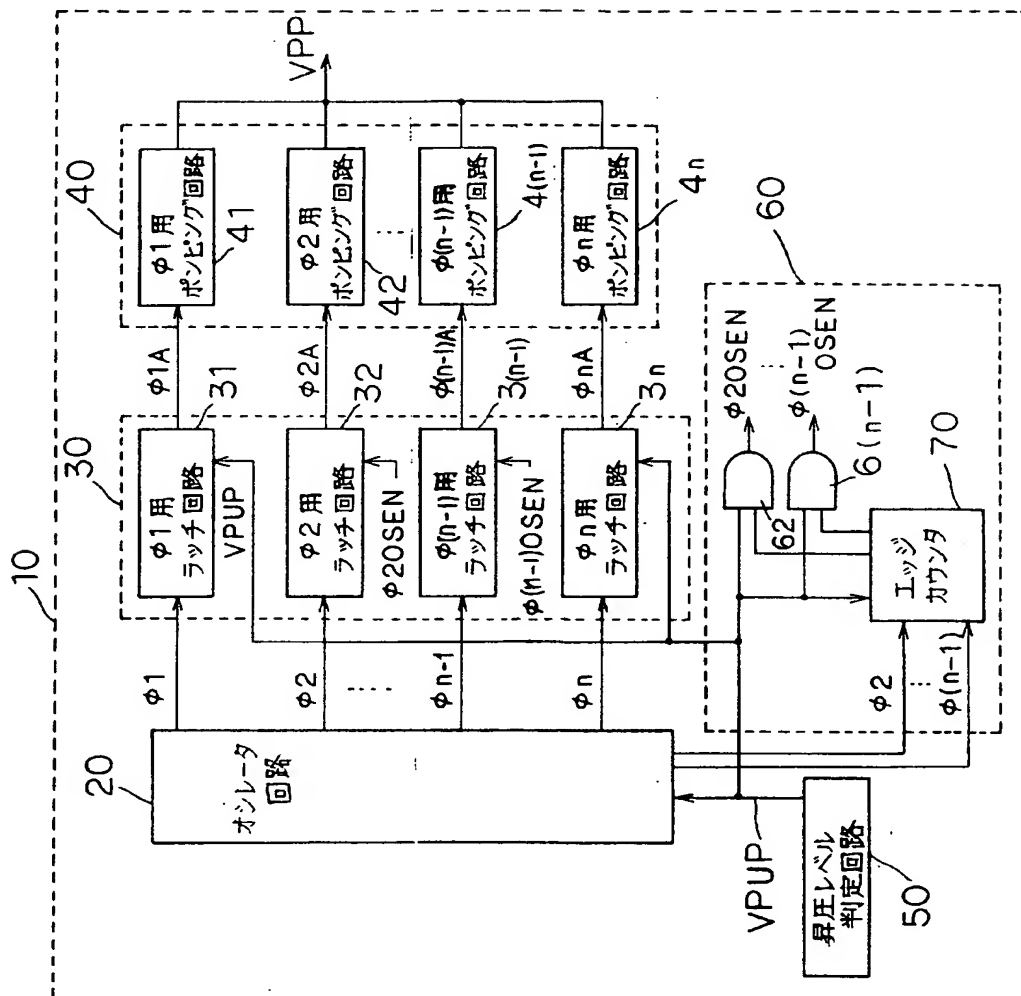
M 1 Pチャネルトランジスタ

M 2 Nチャネルトランジスタ

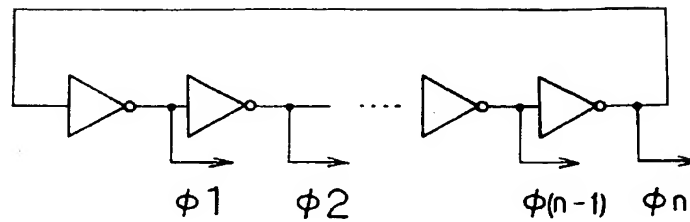
【書類名】

図面

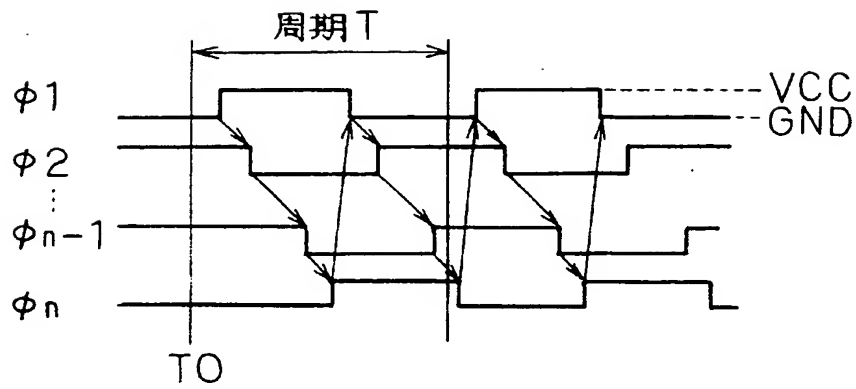
【図 1】



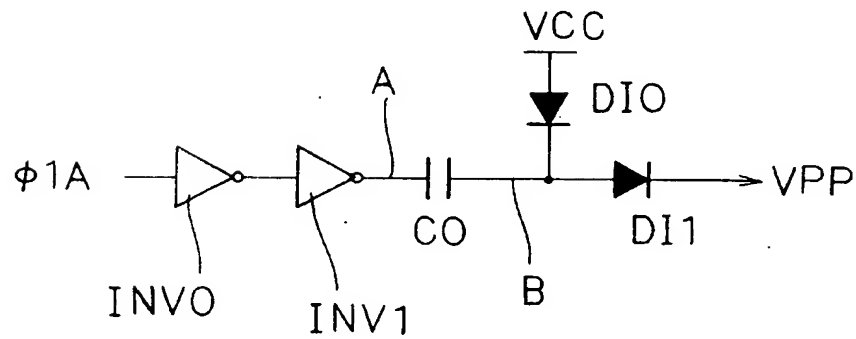
【図 2】



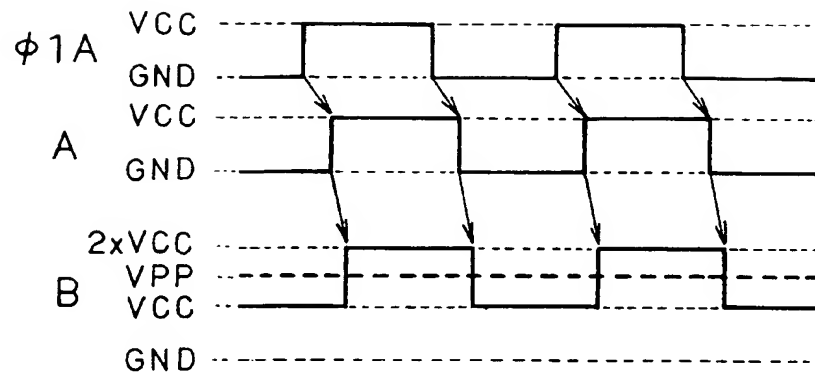
【図 3】



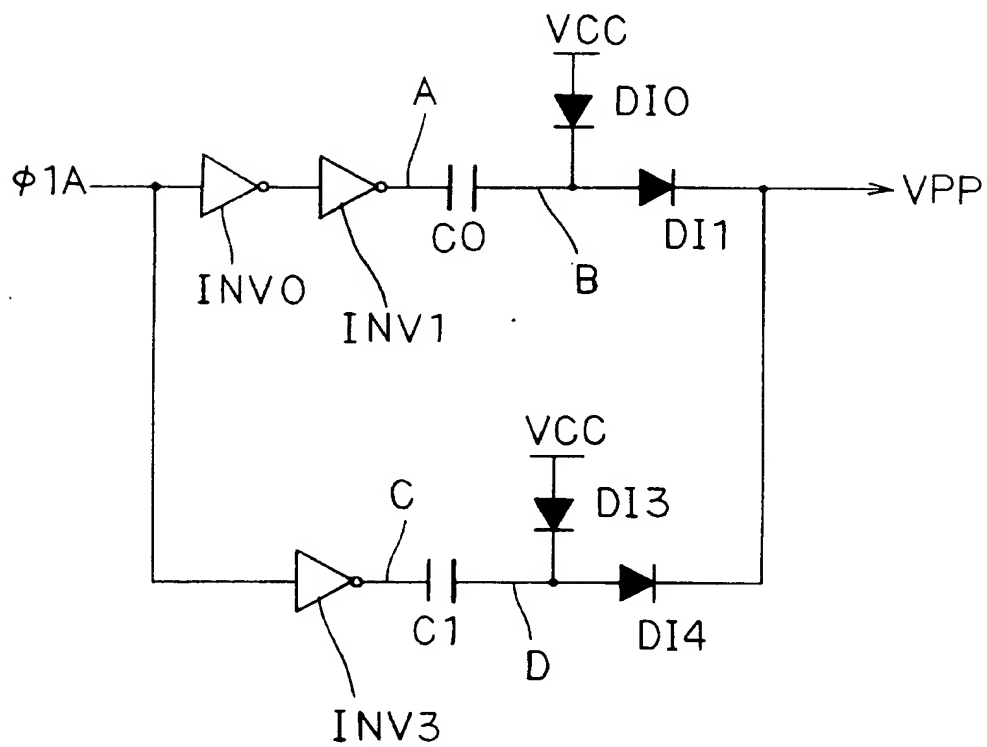
【図 4】



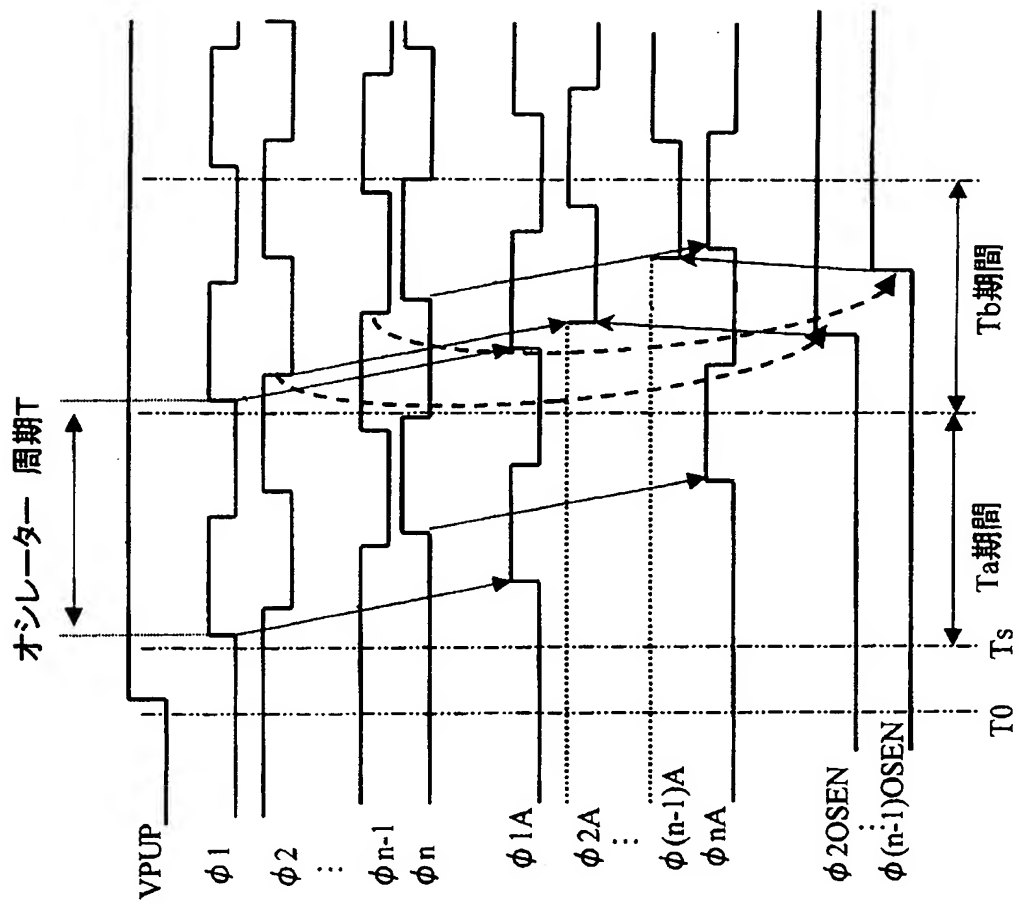
【図 5】



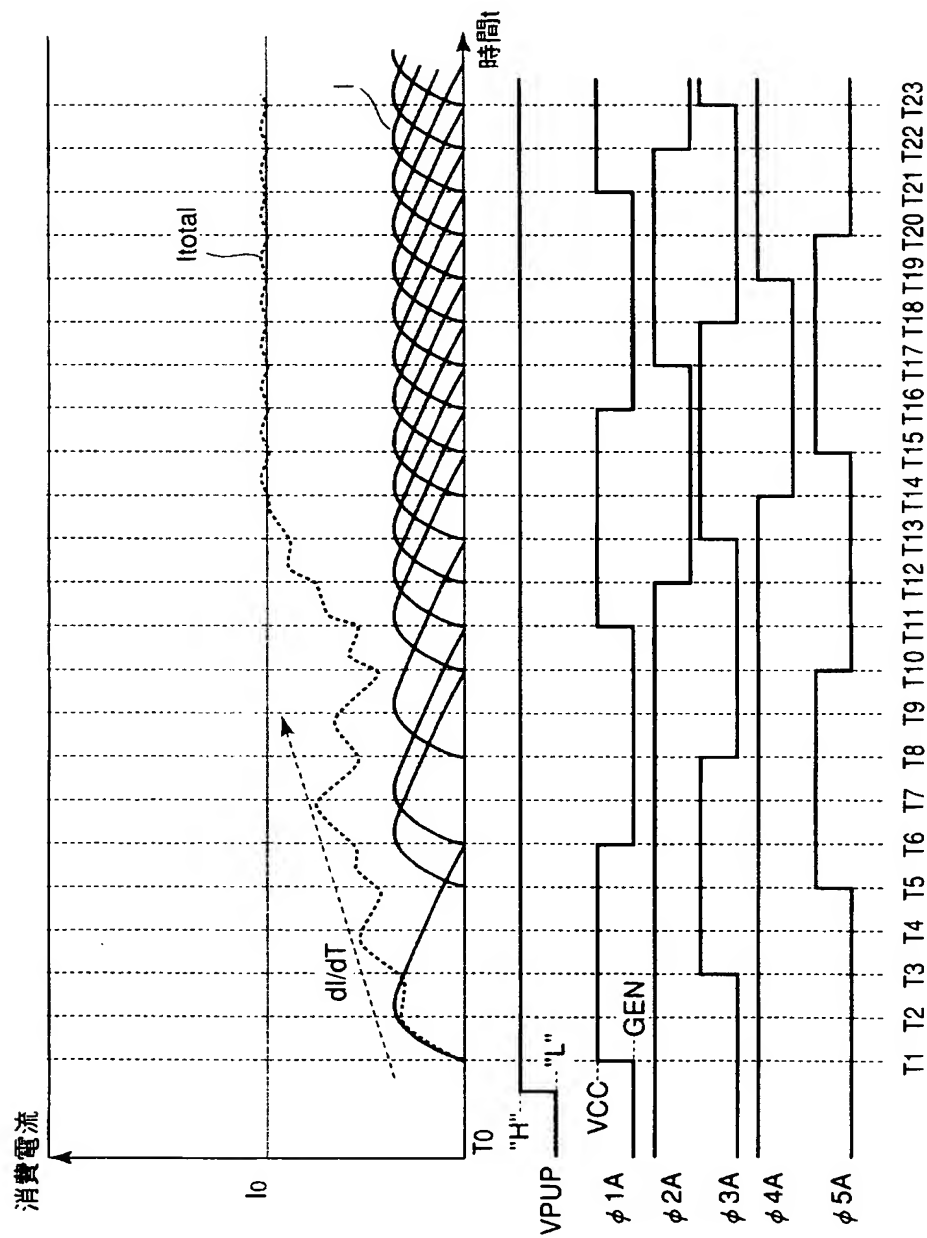
【図 6】



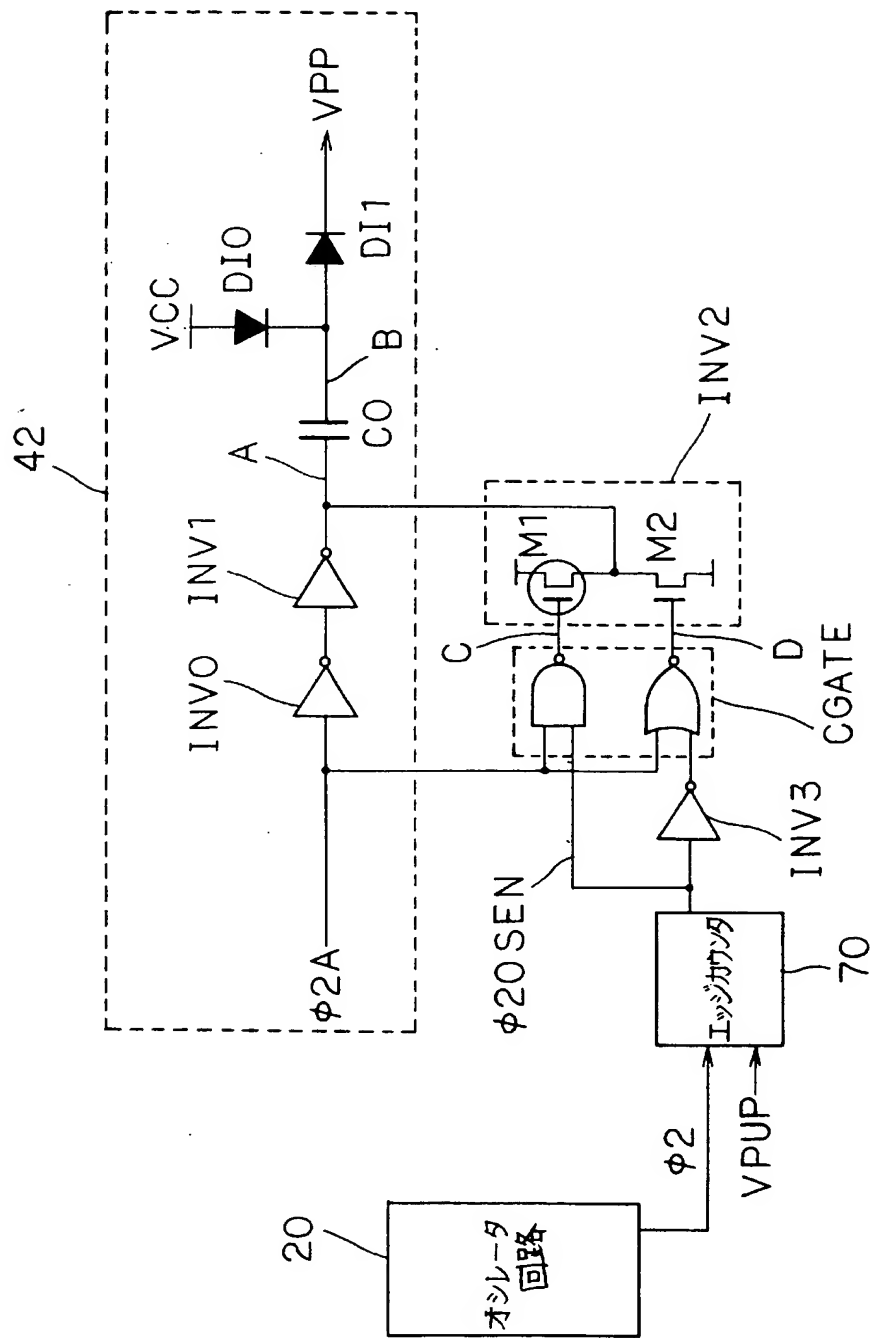
【図 7】



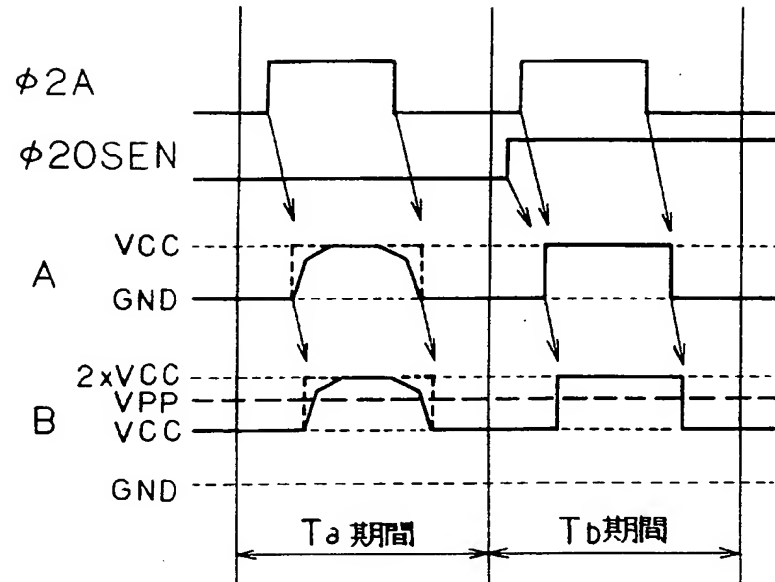
【図 8】



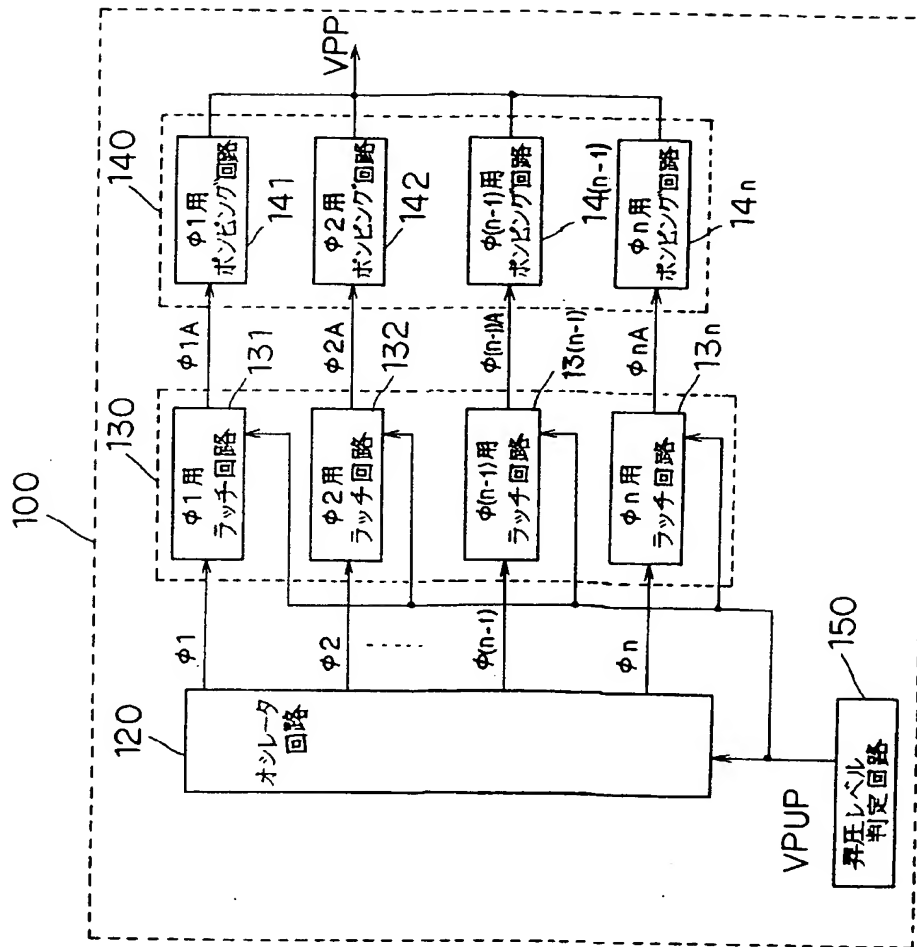
【図 9】



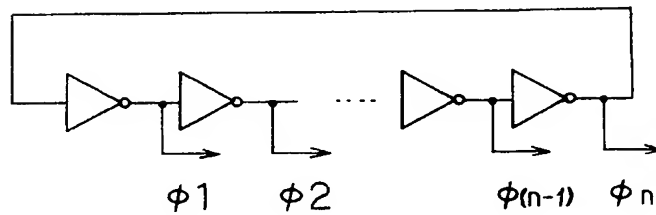
【図 10】



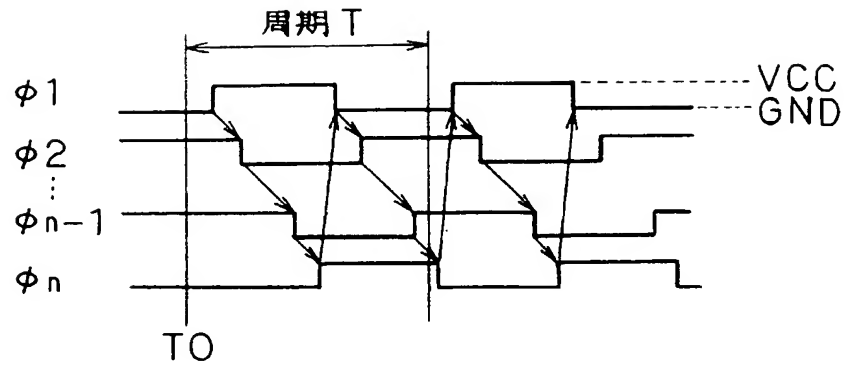
【図 1 1】



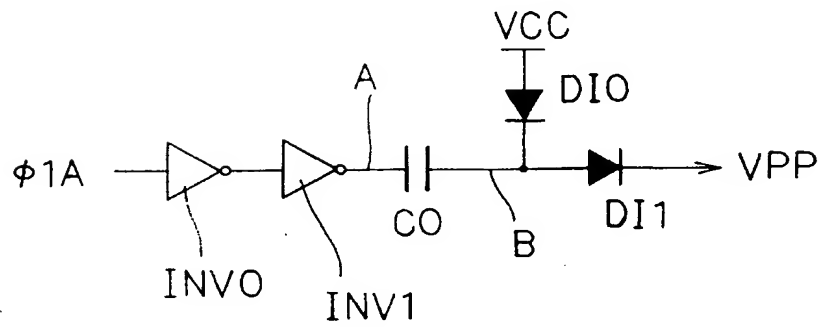
【図 1 2】



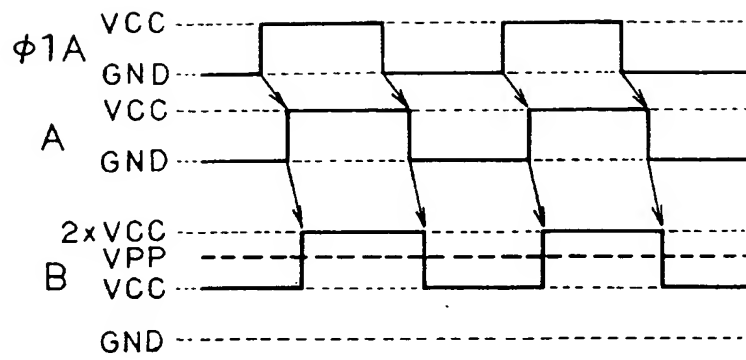
【図 13】



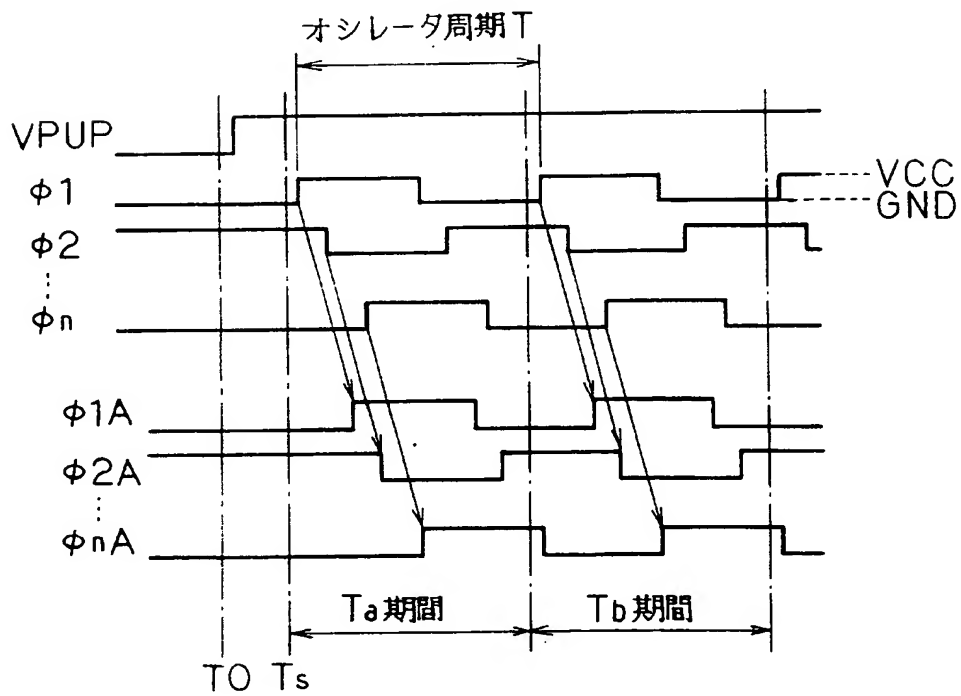
【図 14】



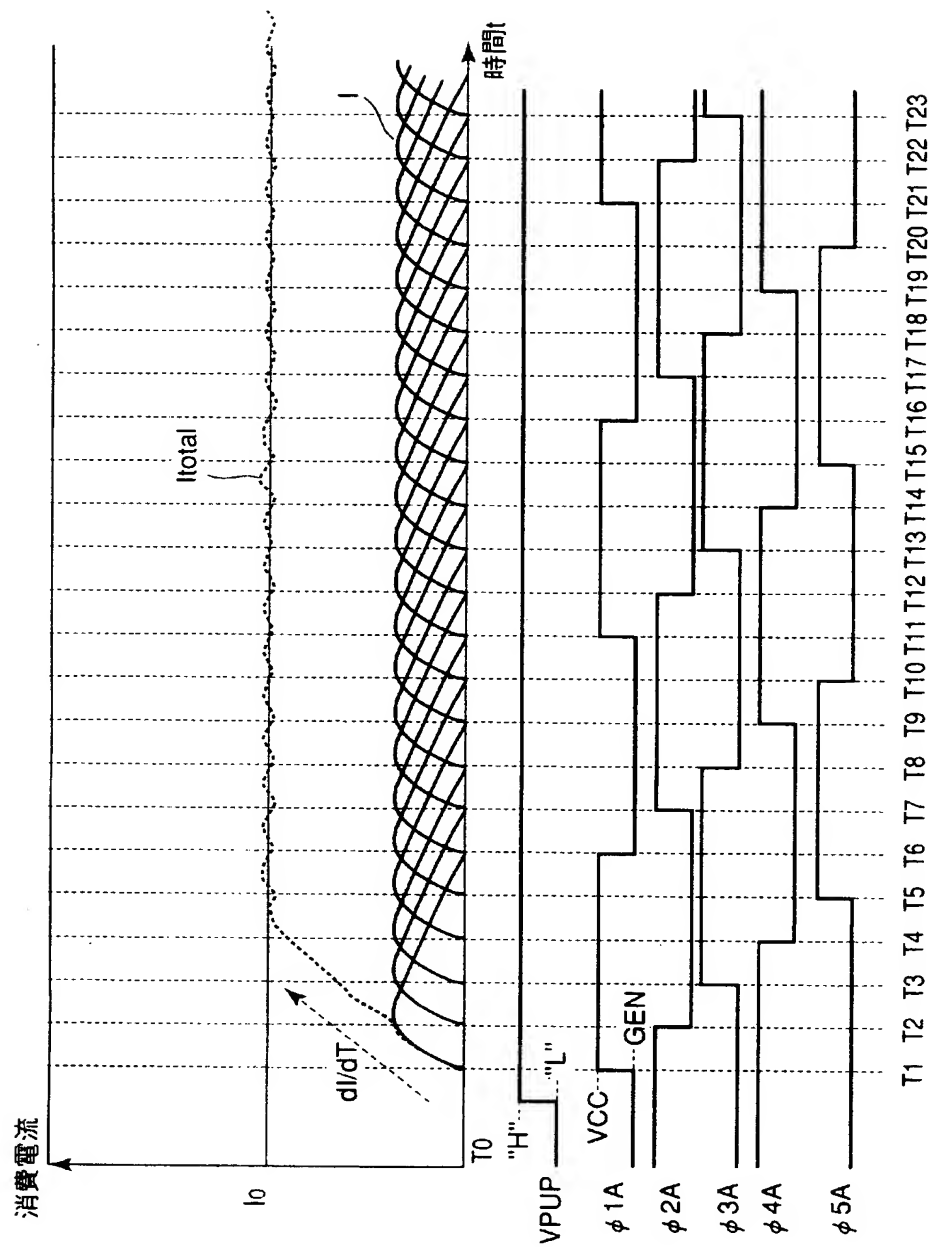
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 動作開始時の急激な電流変化を抑制してノイズを低減した昇圧回路を提供する。

【解決手段】 オシレータ回路 2 0 は、エッジタイミングの異なる複数の発振信号 $\phi 1 \sim \phi n$ を出力する。イネーブル回路 6 0 は、発振信号 $\phi 1 \sim \phi n$ の少なくとも 1 つについて、昇圧動作開始からエッジをカウントし、カウント値が設定値になるまでポンピング回路 4 1 ~ 4 n の昇圧能力を低減しておくように昇圧能力制御回路 3 0 に指示するイネーブル信号を生成する。昇圧能力制御回路 3 0 は、イネーブル信号に応じて各ポンピング回路 4 1 ~ 4 n の昇圧能力を制御する。ポンピング回路 4 0 は、各発振信号 $\phi 1 A \sim \phi n A$ を用いてポンピング容量を充放電することにより昇圧動作を行い、それぞれの出力信号を合成して昇圧電圧 $V P$ を生成する。

【選択図】 図 1

特願 2 0 0 2 - 3 1 1 2 4 4

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社